

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H04B 1/707

[12] 发明专利申请公开说明书

[21] 申请号 98800446.1

[43]公开日 1999 年 7 月 28 日

[11]公开号 CN 1224548A

[22]申请日 98.4.7 [21]申请号 98800446.1

[30]优先权

[32]97.4.9 [33]US [31]60/042,837

[32]98.4.1 [33]US [31]09/053/024

[86]国际申请 PCT/US98/07267 98.4.7

[87]国际公布 WO98/45961 英 98.10.15

[85]进入国家阶段日期 98.12.9

[71]申请人 GE 基本太空网络服务公司

地址 美国弗吉尼亚州

[72]发明人 R·F·弗勒明三世 W·A·彻克

J·A·赤斯霍尔姆 B·J·格林斯曼

D·B·金 R·L·克罗恩兹

D·G·德克尔 N·F·克拉斯纳

[74]专利代理机构 中国专利代理(香港)有限公司

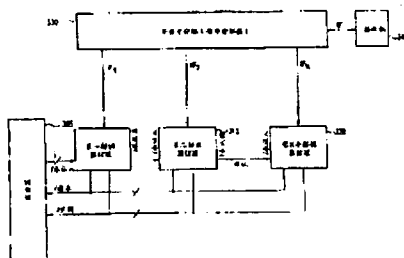
代理人 程天正 李亚非

权利要求书 3 页 说明书 18 页 附图页数 10 页

[54]发明名称 相关器方法和设备

[57]摘要

提供了一种用于接收和处理突发模式码分多址(CDMA)直接序列扩频(DSSS)信号的方法和设备。在这种方法和设备中,提供了多个具有规定的枚举次序的解调器。每个解调器或者是“待命的”,意思是它是空闲的以便处理信号,或者是“忙的”,意思是它当前正在处理信号。每个待命解调器接收输入的 IF 信号并试图检测在 IF 信号中的前置头。一旦它们检测到前置头,则每个待命解调器就发送请求信号给裁决器。响应于接收到请求信号,裁决器向枚举次序中的第一个待命解调器发送承认信号。承认信号顺序通过其枚举次序比第一待命解调器为高的各个忙解调器。然后第一待命解调器开始处理信号,并从待命解调器组转移到忙解调器组。然后剩余的待命解调器继续处理进入的信号。当忙解调器完成信号处理时,它就返回到待命解调器组。



ISSN 1000-8427 4

权 利 要 求 书

1. 一种用于接收和处理突发模式码分多址 (CDMA) 直接序列扩频 (DSSS) 信号的方法, 该方法包括以下步骤:

5 在第一到第 k 个解调器接收数据信号, 该第一到第 k 个解调器被安排成第一枚举的次序, 并被分成一组 m 个待命解调器和一组 n 个忙解调器, 待命解调器被安排成类似于它们在第一枚举次序中的次序的第二枚举次序;

在待命解调器中检测数据信号中的前置头;

10 首先按第二枚举次序分别发送一个或多个请求信号作为来自待命解调器的承认信号给第一待命解调器;

由第一待命解调器处理数据信号; 以及

把第一待命解调器从待命解调器组移到忙解调器组,

其中 k 是大于 1 的整数, m 是大于 0 且小于或等于 k 的整数, n 是小于或等于 k 的整数, 以及 m 加 n 等于 k 。

15 2. 如权利要求 1 所述的一种用于接收和处理突发模式码分多址 (CDMA) 直接序列扩频 (DSSS) 信号的方法, 其特征在于, 其中发送承认信号给第一待命解调器的步骤, 是通过把承认信号发送到其第一枚举次序比第一待命解调器为高的所有 n 个待命解调器而实现的。

20 3. 一种用于接收和处理突发模式码分多址 (CDMA) 直接序列扩频 (DSSS) 信号的方法, 该方法包括以下步骤:

在第一到第 k 个解调器接收信号, 该第一到第 k 个解调器被安排成第一枚举的次序, 并被分成一组 m 个待命解调器和一组 n 个忙解调器, 待命解调器被安排成类似于它们在第一枚举次序中的次序的第二枚举次序;

25 在待命解调器中检测数据信号中的前置头;

从待命解调器分别发送一个或多个请求信号到裁决器;

首先按第二枚举次序从裁决器发送承认信号给第一待命解调器;

由第一待命解调器处理该信号; 以及

把第一待命解调器从待命解调器组移到忙解调器组,

30 其中 k 是大于 1 的整数, m 是大于 0 且小于或等于 k 的整数, n 是小于或等于 k 的整数, 以及 m 加 n 等于 k 。

4. 如权利要求 3 所述的一种用于接收和处理突发模式码分多址

(CDMA) 直接序列扩频 (DSSS) 信号的方法, 其特征在于, 其中从裁决器发送承认信号给第一待命解调器的步骤是通过把承认信号发送到其第一枚举次序比第一待命解调器为高的所有 n 个待命解调器而实现的。

5 5. 一种信号接收和解调系统, 包括:

以枚举次序排列的第一到第 k 个解调器, 其中每一个具有用于接收中频 (IF) 信号的 IF 信号输入端、第 i 个请求信号输出端、第 i 个忙信号输出端、第 i 个承认信号输入端、和第 i 个承认信号输出端,

10 其中, 第一到第 k 解调器中的每一个或者处在忙状态, 此时它们从第 i 个忙信号输出端提供第 i 个忙信号, 或者处在待命状态, 其中所有待命状态解调器根据在 IF 信号中检测到前置头而在第 i 个请求信号输出端提供第 i 个请求信号,

15 其中在枚举次序中最高次序的待命解调器在第 i 个承认信号输入端接收第 i 个承认信号、在第 i 个承认信号输出端不提供信号、并被移到忙状态来处理 IF 信号,

其中, 其枚举次序比最高顺序号的待命状态解调器更高的所有忙状态解调器在第 i 个承认信号输入端接收第 i 个承认信号, 并在第 i 个承认信号输出端提供第 i 个承认信号, 以及

20 其中 k 是大于 1 的整数, i 是在 1 和 k 之间的变化的整数, 但对于第一到第 k 个解调器的每一个保持恒定不变。

6. 如权利要求 5 所述的信号接收和解调系统, 其特征在于, 还包括:

25 裁决器, 具有用于接收第一到第 k 个请求信号的 k 个请求信号输入端、用于接收第一到第 k 个忙信号的 k 个忙信号输入端、以及用于响应于从第一到第 k 个请求信号中的至少一个而提供承认信号的 k 个承认信号输出端。

7. 如权利要求 5 所述的信号接收和解调系统, 其特征在于, 其中第一解调器接收来自第二到第 k 个解调器中至少一个的第一承认信号。

8. 在解调器中的本地裁决电路, 包括:

30 检测器, 用于当解调器处在待命状态时以及检测器在进入的 IF 信号中检测到前置头时, 提供前置头检测信号;

第一门, 用于当解调器处在待命状态时, 响应于前置头检测信号

而提供请求信号;

第二门, 用于接收承认输入信号以及当解调器处在忙状态时提供承认输出信号;

忙信号发生器, 用于当解调器处在忙状态时提供忙信号;

- 5 切换电路, 用于当它接收前置头检测信号和承认输入信号时把解调器改变成忙状态, 以及用于当它接收到表示进入的 IF 信号已被全部解调的突发结束信号时, 把解调器改变成待命状态。

说明书

相关器方法和设备

发明背景

5 发明领域

本发明涉及通信接收系统，它被设计用来接收多个突发传输，这些传输出现在相同频率上且在时间上相互重叠它们使用直接序列扩频（DSSS）、码分多址（CDMA）、移相键控调制。这种类型的传输可被用于从远端节点到中央节点的星形通信网络，或被用于多个节点之间的网状通信网络，并且可以或不一定包括诸如用于卫星通信网络那样的中继站。

相关技术描述

已提出几种用于 CDMA 通信系统的传输方案。通信工业协会 IS-95 前向链路（基站到用户终端）方案是一种正交同步 CDMA 系统，其中被用来与不同用户通信的扩频序列是 Walsh-Hadamard（沃尔什-哈德马）函数。这些高正交性的代码被用来使寻址到不同用户的信号之间的相互干扰最小化。然而，这需要非常精确的同步以保持发送到各个不同用户的和用户发送的信号之间的正交性。在反向链路上（用户单元到基站），每个用户单元被分配以独特的扩频序列。这些扩频序列要选择成具有良好的互相关特性。

由 Equatorial 通信公司开发的 C200 系统使用异步方案，它为每个很小口径终端（VSAT）提供一个代码。在这个系统中使用的扩频序列是修正的高德（Gold）码。这些码具有良好的异步互相关特性。然而，由于每个 VSAT 具有独特的扩频序列以及任一个 VSAT 都可在任意时间发送，所以每个 VSAT 要求其中心站有一个专用的接收机。

在 Norman Abramson 的题为“Fundamentals of Packet Multiple Access for Satellite Networks（用于卫星网络的分组多址的原理）”中，（IEEE Journal on Selected Areas in Communication, Vol. 10, No. 2, February 1992），作者提出了他称为“扩频 ALOHA”的用于 VSAT 终端的传输方案。在这个方案中，所有用户使用相同的扩频序列。这个扩频序列被选择成具有良好的自相关峰值和低的互相关副瓣。中心地面站会发送导引信号，以便使来自网络中各个不同 VSAT 的传输易于

于同步。然而, Abramson 并没有描述如何实施用于多个同时入站的 VSAT 传输的中心地面站接收系统。而且, 这种系统的以同时用户数量来表示的容量很大程度上取决于所采用的扩频序列的长度(因而也就是给定的入站数据速率、编码、和调制技术所需要的卫星转发器带宽), 以及 VSAT 系统可被同步的程度。

为了克服各种不同发射机的同步的技术困难以及对于每个可能的发射机需要专用的接收机的经济问题, 需要一种新的 CDMA 传输和接收方案。这个方案应当像传统的 TDMA 或 FDMA 方案那样工作, 以使得一组接收系统资源可在其传输并不互相冲突的多个用户之间共享。它也不应当为了成功的运行而加上繁重的同步要求。所以, 希望能提供一种能以避免上面所述问题的方式正确地把入站信号路由到多个解调器的系统。

发明概要

本发明的一个目的是提供一种用于异步的直接序列扩频(DSSS)码分多址(CDMA)突发传输的实际而有效的接收系统, 其中发射站使用公共的扩频序列或从一小组扩频序列中选择的扩频序列。

本发明的另一个目的是提供一种分配机制, 以使得只要几乎在同时被接收的重叠的 DSSS CDMA 信号是以不同的扩频序列被扩展的, 或者这些信号是以大于一个或两个码片的扩频序列出现时间(epoch)差而被接收的, 则它们将被检测到并被分配到解调器信道库中不同的解调器信道上以便解调。

本发明的又一个目的是提供一种分配机制, 它分配一个而且是仅仅一个解调器信道来解调每个收到的信号。

本发明的再一个目的是提供一种可经济地实施的分配机制。

本发明的另一个目的是提供一种分配机制, 它使得使用相同扩频序列、数据速率和频率以它们的扩频序列出现时间或符号边界之间具有最小时间间隔来进行的不同信号的接收变得容易。

本发明的再一个目的是提供解调器分配机制, 它使得突发 DSSS CDMA 解调器库的效率最大化。

按照本发明的一个方面, 提供了一种用于接收和处理突发模式码分多址(CDMA)直接序列扩频(DSSS)信号的方法, 该方法包括以下步骤: 在第一到第 k 个解调器接收数据信号, 该第一到第 k 解调器被

安排成第一种枚举的次序，并被分成一组 m 个待命解调器和一组 n 个忙解调器，待命解调器被安排成类似于它们在第一枚举次序中的次序的第二枚举次序，在待命解调器中检测数据信号中的前置头，首先按第二枚举次序分别发送一个或多个请求信号作为来自待命解调器的承认信号给第一待命解调器，由第一待命解调器处理数据信号，以及把第一待命解调器从待命解调器组移到忙解调器组，其中 k 是大于 1 的整数， m 是大于 0 且小于或等于 k 的整数， n 是小于或等于 k 的整数，且 m 加 n 等于 k 。

10 发送承认信号给第一待命解调器的步骤，可以通过把承认信号发送到其第一枚举次序比第一待命解调器为高的所有 n 个待命解调器来实现。

也提供了一种用于接收和处理突发模式码分多址 (CDMA) 直接序列扩频 (DSSS) 信号的方法，该方法包括的步骤为：在第一到第 k 解调器接收信号，该第一到第 k 个解调器被安排成第一种枚举的次序，并被分成一组 m 个待命解调器和一组 n 个忙解调器，待命解调器被安排成类似于它们在第一枚举次序中的次序的第二枚举次序，在待命解调器中检测数据信号中的前置头，从待命解调器分别发送一个或多个请求信号到裁决器，首先按第二枚举次序从裁决器发送承认信号给第一待命解调器，由第一待命解调器处理该信号，以及把第一待命解调器从待命解调器组移到忙解调器组，其中 k 是大于 1 的整数， m 是大于 0 且小于或等于 k 的整数， n 是小于或等于 k 的整数，且 m 加 n 等于 k 。

从裁决器发送承认信号给第一待命解调器的步骤，可以通过把承认信号发送到其第一枚举次序比第一待命解调器为高的所有 n 个待命解调器来实现。

25 提供了一种信号接收和解调系统，它包括：以枚举次序排列的第一到第 k 个解调器，其中每一个具有用于接收中频 (IF) 信号的 IF 信号输入端、第 i 个请求信号输出端、第 i 个忙信号输出端、第 i 个承认信号输入端、和第 i 个承认信号输出端，其中，第一到第 k 个解调器中的每一个或者处在忙状态，此时它们从第 i 个忙信号输出端提供第 i 个忙信号，或者处在待命状态，其中所有待命状态解调器根据在 IF 信号中检测到前置头而在第 i 个请求信号输出端提供第 i 个请求信号，其中在枚举次序中最高的待命解调器在第 i 个承认信号输入端接收第 i

个承认信号、在第 i 个承认信号输出端不提供信号、并被移到忙状态来处理 IF 信号，其中，其枚举次序比最高次序的待命状态解调器更高的所有忙状态解调器在第 i 个承认信号输入端接收第 i 个承认信号，并在第 i 个承认信号输出端提供第 i 个承认信号，以及其中 k 是大于 1 的整数， I 是在 1 和 k 之间变化的整数，但对于第一到第 k 个解调器中的每一个则保持恒定不变。

信号接收和解调系统还可包括裁决器，它具有用于接收第一到第 k 个请求信号的 k 个请求信号输入端、用于接收第一到第 k 个忙信号的 k 个忙信号输入端、以及用于响应于从第一到第 k 个请求信号中的至少一个请求信号而提供承认信号的 k 个承认信号输出端。

在解调器中还提供了本地裁决电路，它包括峰值和门限值检测器，用于当解调器处在待命状态以及峰值和门限值检测器在进入的 IF 信号中检测到前置头时提供前置头检测信号，第一门，用于当解调器处在待命状态时响应于前置头检测信号而提供请求信号，第二门，用于接收承认输入信号以及当解调器处在忙状态时提供承认输出信号，忙信号发生器，用于当解调器处在忙状态时提供忙信号，切换电路，用于当它收到前置头检测信号和承认输入信号时把解调器改变成忙状态，以及用于当它接收到表示进入的 IF 信号已被全部解调的突发结束信号时，把解调器改变成待命状态。

附图概述

从后面参照附图所作的说明，本发明的以上的和其它的目的与优点将变得很明显，其中：

图 1 是按照本发明的优选实施例的包括前置头检测与裁决电路的解调器电路的方框图；

图 2 是显示按照本发明的优选实施例的 k 个解调器电路的连接方框图；

图 3 是显示按照本发明的第一替换优选实施例的 k 个解调器电路到裁决器的连接的方框图；

图 4 是显示按照本发明的第二替换优选实施例的 k 个解调器电路到裁决器的连接的方框图；

图 5 是说明按照本发明的优选实施例的图 1 和 2 的解调器电路与裁决器的运行的时序图；

图 6 是说明按照本发明的优选实施例的图 1 和 2 的解调器电路与裁决器的运行的流程图;

图 7 是按照本发明的优选实施例的用于裁决请求、忙、和承认信号的印刷电路板背面 (例如 VME 总线 P2 背面) 的走线的说明;

5 图 8 是对于一个请求的时间轮盘 (timing wheel) 数据结构的标志的说明; 以及

图 9 是对于两个请求的如图 1 所示的时间轮盘数据结构的标志的说明;

优选实施例描述

10 本发明采用与前置头检测电路紧密耦合的新的裁决机理, 以便解决以上所指出的问题。

Turbo-sat 系统是使用由大量 VSAT 共享的代码库的异步 CDMA 传输系统。所使用的扩频序列的数量可从最小值的 1 一直增加到在给定的扩频因子中可以找到的代码数, 它们具有所希望的非周期互相关特性。
15

在 Turbo-sat 系统中, 几个发射机共享一个公共的扩频序列, 或一组扩频序列, 发射机从这些扩频序列中随机选择。典型地, 所有站都在一个公共射频上发射。来自发射机的信号可以都处于单一的数据速率, 或单个数据速率的 2 的若干次幂的倍数。它们都可以使用 2^n 的码片长的扩频序列来产生, 其中 n 范围可从最小值的 3 直到 7 或更大。
20 所有相同数据速率的信号可以具有相同的扩频因子, 即, 每个符号相同的码片数。

由于并不试图让由接收机/解调器系统所收到的传输的定时精确地同步到码片或子码片级别, 这正是在正交或准正交的 CDMA 系统中的情况, 一个信号的符号边界和另一个信号的符号边界可以分开到至多正
25 或负半个符号。符号边界通常相应于扩频序列出现时间。

每个突发传输从前置头开始。前置头包括第一部分, 它用扩频序列来调制但不带有数据, 以及第二部分, 它是用扩频序列调制的一个独特的数据字 (用于突发同步的比特图)。

30 解调器信道库被用来处理使用相同的或不同的扩频序列以及相同的数据速率或共同数据速率的 2 的幂次倍的多个重叠的 CDMA 信号。在相同的频率上同时被使用的扩频序列可被选择成使得它们的不同相的

自相关和互相关值为最小。在 Robert C. Dixon 的书 “Spread Spectrum System(扩频系统)” (第二版, Wiley Interscience 出版) 的第 71-79 页上定义和讨论了自相关与互相关, 该书的内容在此引用, 以供参考。

- 5 由于被配置来接收特定扩频序列和数据速率的每个解调器信道可以检测相同的接收信号, 所以所有这样的解调器信道可开始处理相同的入站突发脉冲。因此随后的使用相同扩频序列与数据速率的重叠的进入的突发脉冲可能会被忽略, 它们的数据也可能被丢弃。如果解调器信道都把它们解调的数据转发到公共处理器, 则处理器会被许多相同消息的复本加重负担。为避免这些问题, 需要一种设计, 它把单独的解调器信道分配给每个收到的突发信号, 而允许同一个库中的其它调制器信道继续搜寻随后的信号。
- 10

一种想要避免这些问题的设计使用了解调器信道电路库, 其中每个电路包含前置头检测电路, 它和解调器信道电路一样被耦合到位于机架中的裁决电路。

15

- 解调器信道电路被设计成使得一个解调器信道前置头检测电路可同时处理多个接收信号; 几个解调器信道可同时检测同一个接收信号; 或几个解调器信道可在前置头的第一部分中的不同的符号 (扩频序列帧) 上检测同一个接收信号。后一种情况至少部分是由于这一事实, 即由不同的解调器信道接收的接收信号的功率电平可以有小量的差异。这是由于在接收信号通过不同 IF 分路器路径传播到机架中的各个解调器信道时, 接收信号所经受的路径损耗有小量的差异。
- 20

对于解调器信道机架有某些经济性、有效性、和灵活性的要求, 这导致对于裁决电路的要求。首先, 一个解调器机架应当能够处理进入的有几个不同扩频序列的突发脉冲。另外, 只有包含在一个机架中的解调器信道才通常被分配到特定的扩频序列。最后, 在单个机架中可以有許多 (大于 20) 解调器信道。

25

另一个要求必须处理在接收的进入的信号的符号边界之间的时间间隔。假定两个进入的信号同时被接收。如果它们的符号边界处在彼此的正或负的一个码片之内, 则把此情况认为是冲突, 系统没有必要正确地接收其中的任一个信号。如果两个进入的信号是在它们的符号边界间隔至少两个码片的情况下被接收的, 则系统应当正确地接收这

30



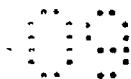
两个信号（假定二者都满足对于成功接收的所有其它准则）。在正或负一个码片和正或负两个码片的间隔之间是不确定性区域，因而设计目标是：系统将能正确地接收其符号边界由至少一个码片分隔开的进入信号。

5 前置头检测电路是一种以每个扩频序列码片间隔有两个样本的速率作用在采样的模拟信号的数字电路。（可以使用每个码片间隔有多个样本，但是两个是所需要的最小值，因为前置头检测电路在 PN 同步之前运行。）关于解调器前置头检测电路已检测到进入的前置头的指示将以“检测到前置头”（PREAMBLE DETECTED）的信号输出的形式出现。
10 这个信号可以具有短脉冲的形式或电平改变的形式。解调器期望从裁决电路返回一个信号来指令它继续处理突发脉冲。这个信号也可以是短脉冲的形式或电平改变的形式。在以下的优选实施例中，这两个信号都是短脉冲形式。然而，电平改变可被用于替换的实施例，而且解调器信道电路的任何必要的调整可由本领域的技术人员作出。

15 当在给定的解调器信道中的前置头检测电路检测到前置头时，它将发送“请求”脉冲给裁决电路。如果裁决电路发送回一个“承认”脉冲，则该解调器信道将继续处理由它通过查找构成前置头的第二部分的独特字而检测到的进入的信号。在解调器信道中最好能提供一个机构，如果在一定数目的前置头符号中没有找到独特字，它就清除裁决请求。
20 如果裁决电路不发回“承认”脉冲，则解调器信道应当继续查找其它前置头。

 如果在单个机架中被指定以给定的扩频序列检测进入传输的所有解调器信道能保证在几乎同一个时间（例如通过检测独特字的结尾端）检测到特定的进入的突发脉冲，则裁决机制可以是非常简单的：把一个“承认”信号发回到其“请求”信号被首先接收到的解调器信道。
25 一个“承认”信号发回到其“请求”信号被首先接收到的解调器信道。

 然而，如果突发检测机构是使得前置头能在独特字的结尾端之前就被检测到，则需要更复杂的设计。在优选实施例中，前置头检测器能在独特字开始以前检测前置头。由于前置头检测器电路工作的方式，前置头检测器将只对符号边界处或扩频序列出现时间处的码片起作用。
30 然而，由于被分布在解调器电路板上的 IF 信号的较小电平差，以及由于对于输入到不同解调器信道的峰值和门限值检测电路的输入的门限电平设置上可能的差值，在不同的解调器信道中的前置头检测器



可以对不同的符号边界起作用。这意味着，裁决机制必须记住前置头被检测到的时间，以避免对同一个进入的前置头因检测到其后的符号边界而作出响应并发送一个“承认”信号。

5 裁决计时机制可以工作在相对于随机定时的进入信号的符号边界的任意相位。对每个符号间隔它必须经历一个完整的周期。在一个符号时间间隔中它必须记住一个符号间隔内的时间低到至少一个码片的水平。由于前置头检测器以每个码片两个样本的采样速率运行，所以某些前置头检测器可以在其它前置头检测器起作用以前或以后的半个码片（一个样本）对同一个前置头起作用。事实上，某些前置头检测器可以在其它前置头检测器起作用以后的一个或多个符号加或减半个
10 码片对一个给定的前置头起作用。偶而地，前置头检测器可以相对于符号边界提早或滞后长达一个完整的码片而对一个给定的前置头起作用，特别是当出现冲突或接近冲突时。因为这些事实，在裁决电路中的计时机制应当以等于采样间隔或半个码片水平的分辨率运行。

15 在理想条件下，在所有解调器信道中的前置头检测器应该总是在同一时刻对同一个进入信号前置头起作用。然后有可能在裁决电路计时存储器中形成单独一项，以表示特定的扩频序列出现时间正在使用。这个项表示，对该特定扩频序列出现时间已发送了承认，而不应当再发送另外的承认。然而如上所述，前置头检测器可以以不同的样本和
20 符号时间对同一个前置头起作用。所以，必须处理几个前置头检测器对同一个前置头的不同样本起作用的情况。再次地，相当可能的情况是，当解调器信道在进入信号的自相关峰值的任一侧以相等间距的间隔采样时，某些前置头检测器将对峰值的左侧（即，提早的）起作用，而其它的将对激发峰值的右侧（即，滞后的）起作用。

25 为了处理这种情形，本发明的一个实施例在裁决电路计时缓存器中形成三个项：一个在样本时间片之前，一个在样本时间片上以及一个在样本时间片之后，而该请求就是在样本时间片上接收的。这些项是在对特定的突发脉冲的第一请求收到时和发出承认信号时形成的。

图 8 和 9 分别显示了对于一个和两个请求的数据结构进行标记的情况。如图 8 和 9 所示，裁决电路计时存储器 810 包括多个存储器时
30 间片 820，它们按圆周围绕成为环状。在使用裁决电路的本发明的实施例中，存储器时间片 820 的数目最好等于扩频因子的两倍。例如，与

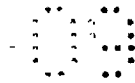


图 8 和 9 所示的计时存储器 810 相关的系统的扩频因子为 16, 所以它们具有 32 个存储器时间片 820。

当请求进入时, 裁决电路将首先检查与接收到请求的时间相对应的计时存储器时间片 820。这个时间片被称为及时的时间片 820a, 它具有两个相邻的时间片 820b, 每一侧一个。如果及时的时间片 820a 未被标志, 表示该时间片或紧邻它的一个时间片没有被承认的其它请求, 则裁决电路将发出一个承认信号。否则, 将不发送承认信号。如果解调器信道在一个码片间隔期间没有接收到承认信号, 则它将继续寻找其它前置头。当一个及时的时间片被分配时, 电路就标出及时的时间片 820a 和相邻的时间片 820b, 如下面所述。

当被分配来处理进入的信号和解调器信道结束对该信号的处理时, 需要通知裁决电路: 可把未使用的时间片供其它的进入的信号使用。解调器信道必须发送一个信号给裁决电路以完成这一点。这个信号可被称为“空闲”信号。解调器信道必须在与它发送“请求”信号的同一个时间片发送“空闲”信号, 以使裁决电路确切地知道哪个时间片是可供使用的。

如果收到的两个请求 A 和 B 相隔两个样本的间距, 则计时存储器将在相应于两个请求的到达时间的两个时间片之间的时间片上被标志两次。

当对导致“请求”信号的两个进入信号之一进行处理的任一个解调器信道结束处理时, 它将发送“空闲”信号给裁决电路。然后, 裁决电路清除在三个存储器时间片 820 中的标志, 这三个存储器时间片相应于其中接收请求信号的时间片 820a 和两个相邻的时间片 820b。

然而, 这会留下一个问题。如果只用一个比特来标志相邻的时间片 820, 则这会导致根据两个解调器信道的同时请求而被标记的那个时间片仅仅在一个“空闲”信号之后就被错误地标记为可供使用的。

具有两个比特的计时存储器时间片项可被用来纠正这个问题。计时存储器 810 具有可以放在缓存器时间片内的三种不同的标志: 单个标志、双标志、和空闲标志。单个标志表示缓存器被单个请求占用, 并在优选实施例中相应于 01_2 。双标志表示缓存器被两个请求占用, 即相邻于两个及时的时间片 820a, 并在优选实施例中相应于 10_2 。空闲标志表示缓存器时间片 820 没有被任何请求占用, 并在优选实施例中



相应于 00_2 。

在对时间片 820 作标志之前，裁决电路必须首先检查时间片 820 中的内容，以便查明它是否已被标志。当接收到请求时，如果及时的时间片 820a(相应于接收到请求时的时间片)被标志为空闲标志(00_2)，
5 则裁决电路用第一标志(10_2)去标志该及时的时间片 820a。

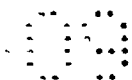
然后裁决电路检查相邻于及时的时间片 820a 的两个缓存器时间片 820b。如果相邻的时间片 820b 被标志为空闲标志(00_2)，则裁决电路用单个标志(01_2)去标志该相邻的时间片 820b。如果相邻的时间片 820b 已用单个标志(01_2)标志过，则裁决电路用双标志(10_2)标志
10 该相邻的时间片 820b。

当在及时的时间片 820a 处收到“空闲”信号时，裁决电路用空闲标志(00_2)来标志该及时的时间片 820a，然后检查两个相邻的时间片 820b。如果相邻的时间片 820b 被标志为双标志(10_2)，即表示它被两个请求占用，则裁决电路把它的标志改变为单个标志(01_2)，这就
15 表示它现在只被单个请求占用。如果相邻时间片 820b 是用单个标志(00_2)标志的，即表示它只被单个请求占用，则裁决电路把标志改变为空闲标志(00_2)，即表示它现在是空闲的。

也可出现一个前置头检测器提早一个样本起作用，而另一个滞后一个样本起作用的情况。(提早的检测器可对一个符号起作用，该符号
20 号是在滞后检测器起作用的符号后面的，这使情况更复杂。)这仅仅多半在噪声使自相关峰值严重失真的情况下出现。当这一情况发生时，裁决电路将接收两个请求，并发送两个承认。所以两个解调器信道将处理同一个进入的信号。可以使用中央消息处理器软件来检测这一情况，并消除该重复的消息。

25 上面描述的裁决电路具有几个潜在的失效机制，它们对系统性能起到负面的作用。一个可能的失效机制是：当解调器信道完成处理突发脉冲时，由于某种原因不能发出“空闲”信号。这将使计时缓存器仍被标志在当接收到来自解调器信道的“请求”信号时所指定的那些时间片中。这又将阻塞这些时间片中的任何其它请求。因而，在那些
30 时间片中发射机将不能成功地发送。

为解决这个问题，实施了某种类型的“看门狗”(watchdog)定时器机构，从而使得“空闲”信号会在最大突发长度以后产生。如果



这个看门狗定时器机构在裁决电路内实施，则它必须独立于每个所处理的突发脉冲。因而，实施看门狗定时器的一种方式是在计时轮的机构中引入计数值。这导致计时轮机构的字宽很长，并且随之增加相应的花费。

- 5 然而，不一定要使裁决机构集中，它也可以是分布式的，并留在每个解调器信道的电路内。这种类型的分布的裁决机构是本发明的优选实施例。对于特定的扩频序列相位已被解调的这一指示，可以从解调突发脉冲的解调器信道通过使用“忙”信号来将其广播到在机架内的其它的解调器信道。当解调器信道检测到突发时，它将首先对它所指派的裁决电路电平检验该“忙”信号。
- 10

如果该“忙”信号没有被宣布，则解调器信道将宣布一个“请求”信号。该“请求”信号将从最接近于机架中第一插槽的机架末端（在优选实施例中，从机架的前面看时是最左边的插槽）作为“承认”信号以相同的裁决电路电平返回。如果发送该“请求”信号的解调器信道接收到该“承认”，则它对每个符号在发现突发时的紧接于其前的、当时的、和紧接于其后的半个码片间隔时宣布该“忙”信号，直到它检测到错误条件或直到它检测到出现突发结束为止。如果发出“请求”的解调器信道没有接收到“承认”，则它将继续寻找其它突发脉冲。

15

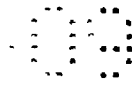
图 1 是按照本发明的优选实施例的前置头检测与裁决电路的解调器电路的方框图。优选实施例包括 I 和 Q 信道匹配滤波器 140、差分检测器 150、“泄漏积分器”160、峰值和门限检测器 170、以及本地裁决电路 180。I 和 Q 信道匹配滤波器 140 还包括增益级 101、1:2 功率分配器 102，本地振荡器 103、正交功率分配器 104、第一和第二混频器 105 和 106、第一和第二模拟-数字转换器 (A/D) 107 和 108、第一和第二奈奎斯特滤波器 109 和 110、以及第一和第二伪噪声 (PN) 匹配滤波器 111 和 112。差分检测器 150 还包括第一和第二单个符号延时器 113 和 114、第一和第二乘法器 115 和 116、第一总和器 117。泄漏积分器 160 还包括第二总和器 118、延时器 119、以及第三乘法器 120。本地裁决电路 180 还包括第一到第四门 122、123、124、和 125、锁存器 126 以及忙信号发生器电路 127。

20

25

30

I 和 Q 信道匹配滤波器 140 被匹配到分配给解调器信道的特定的扩频序列。泄漏积分器 160 对多个前置头符号的匹配滤波器 140 和差



分检测器 150 的输出进行积分。

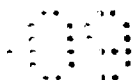
如图 1 所示, I 和 Q 信道匹配滤波器 140 的运行如下。中频 (IF) 信号由增益级 101 放大, 其输出被耦合到 1:2 功分器 102。功分器 102 的输出又被耦合到第一和第二混频器 105 和 106 的 RF 输入端, 它们也以中频通过正交功分器 104 被馈以本地振荡器的同相和正交分量。混频器 105 和 106 的输出优选地是基带 I 和 Q 信号。这些信号被第一和第二模拟-数字转换器 (A/D) 107 和 108 以每个码片两个样本的速率数字化。数字化的 I 和 Q 符号然后被第一和第二奈奎斯特滤波器 109 和 110 滤波以去除噪声。滤波后的 I 和 Q 符号然后被耦合到第一和第二 PN 匹配滤波器 111 和 112, 它们是用相应于解调器信道想要识别的 PN 代码的参考序列编程的匹配滤波相关器。第一和第二 PN 匹配滤波器 111 和 112 的输出然后被耦合到差分检测器电路 150, 在其中执行对 PN 匹配滤波器的 I 和 Q 输出的差分检测。

第一和第二 PN 匹配滤波器 111 和 112 的输出分别被提供给在差分检测器中的第一和第二单个符号延时器 113 和 114。第一和第二单个符号延时器 113 和 114 又把信号提供给第一和第二乘法器 115 和 116, 然后它们的输出在第一总和器 117 中被组合。当存在想要的信号时, 在第一总和器 117 的输出端处合成的信号是一系列数字值, 每个码片两个, 其幅度在 PN 匹配滤波器 111 和 112 中接收的 PN 序列和参考序列相匹配时为最大值。

从第一总和器 117 输出的这些数字值然后被泄漏积分器电路 160 积分。泄漏积分器电路 160 的“泄漏性”是使输入到第三乘法器 120 的常数为比 1 略小的数而形成的。这使泄漏积分器 160 的输出在积累到大的正或负值后按时间衰减。

由延时单元 119 所提供的延时等于 A/D 转换器在一个完整的 PN 序列重复时间中的采样数。例如, 如果 PN 序列是 32 个码片长, 以及每个码片的 A/D 采样数是二, 则延时长度将是 64 个样本。另外, 输入到第三乘法器 120 的常数在这种情况下可以是 63/64, 或者可能是 31/32。泄漏积分器电路 160 的输出将是一系列数值, 每个码片两个, 当存在想要的信号时, 这一系列数值的幅度被积累增大。

当来自泄漏积分器 160 的输出值达到门限幅度时, 它们被峰值和门限检测器 170 检测到, 它发出一个“检测到前置头”的脉冲作为响



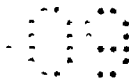
应。如果解调器信道是空闲的，即当前不在处理突发脉冲，则这个脉冲通过本地裁决电路 180 中的第一门 122 在总线上作为“请求”信号被输出到其它解调器 210、215、220（在另外的实施例中是裁决器 305/405）。响应于这个“请求”信号，其它解调器 210、215、220（在
5 另外实施例中是裁决器 304/305）发回一个“承认入（GRANT IN）”信号。如果正好有“忙”信号（即，低电平），则“请求”信号将不输出。

如果这个解调器信道当接收“承认入”信号时正在宣布“请求”信号，即如果“检测到前置头”信号是高电平，则第四门 125 宣布其
10 输出并使锁存器 126 置位。锁存器 126 然后输出“处理突发脉冲”信号到第一门 122、第二门 123、和忙信号发生器电路 127。“处理突发脉冲”信号阻止第一门 122 输出任何另外的“请求”信号，并使忙信号发生器电路 127 在导致从这个裁决器的请求的 PN 出现时对每个符号发出一次“忙”信号。如果当接收到“承认入”信号时，“处理突发
15 脉冲”信号是低电平且“检测到前置头”信号是高电平，则到第三门 124 的顶上的输入将是低电平，阻止“承认出（GRANT OUT）”信号由第三门输出。“处理突发脉冲”信号保持为高电平，直到解调器信道结束处理突发脉冲并收到使锁存器 126 复位的“突发脉冲结束”信号为止。

如果接收到一个“承认入”信号而同时解调器信道正在处理突发
20 脉冲，即“处理突发脉冲”信号为有效（高电平），则第二门 123 的输出将是高电平，允许“承认入”信号通过第三门 124，并成为“承认出”信号。

图 2 是显示按照本发明的优选实施例的 n 个解调器电路的连接
的方框图。如图 2 所示，第一到第 k 个解调器 210、215、220 中的每一个
25 经过 IF 功率分配电路 230 被连接到接收机 240。第一到第 k 个解调器 210、215、220 中，每一个接收来自其它各个解调器 210、215、220 的“请求”信号和“忙”信号。第一解调器 210 提供“承认”信号给第二解调器 215，第二解调器又把“承认”信号通过各个中间解调器传递到 k 个解调器 220，如下面所描述的。“请求”信号通过环路被返
30 回到第一解调器信道 210，作为它所接收的“承认入”信号。

然而，在另外一个实施例中，另外的裁决器可被用来为“请求”和“承认”信号定路由，从而集中了电路的定时。来自解调器电路的



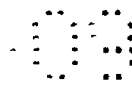
“空闲”信号被用来通知裁决器：解调器已结束处理进入的突发消息。图 3 是显示按照本发明的第一替换优选实施例的 k 个解调器电路到裁决器的连接的方框图。如图 3 所示，第一到第 k 个解调器 310、315、320 中的每一个经过 IF 功率分配电路 330 连接到接收机 340。裁决器 305 接收来自第一、第二到第 k 个解调器 310、315、320 中的每一个的“请求”信号和“空闲”信号，并提供“承认”信号给第一解调器 310。第一解调器 210 然后提供“承认”信号给第二解调器 315，第二解调器又把“承认”信号通过各个中间解调器传递到第 k 个解调器 320，如下面所描述的。

10 然而，在另一个替换实施例中，一个单独的裁决器可被用来为“请求”、“空闲”、和“承认”信号定路由，再次集中了电路的定时。图 4 是显示按照本发明的第二替换优选实施例的 k 个解调器电路到裁决器的连接的方框图。如图 4 所示，第一到第 k 个解调器 410、415、420 中的每一个经过 IF 功率分配电路 430 连接到接收机 440。裁决器 15 405 接收来自第一、第二到第 k 个解调器 410、415、420 中的每一个的“请求”信号和“空闲”信号，并提供“承认”信号给每个解调器 410、415、420。

优选实施例（如在图 1 和 2 所示的电路）的运行，还被显示于图 5 和 6。图 5 是说明按照本发明的优选实施例的图 1 和 2 的解调器电路与裁决器的运行的时序图。图 6 是说明按照本发明的优选实施例的图 1 和 2 的解调器电路与裁决器的运行的流程图。

具体地，图 5 显示了两个解调器对具有相同的符号速率与相同的 PN 代码的第一和第二接收信号 501（信号 A）和 501（信号 B）的操作。在本例中，第二接收信号 502 的符号边界相对于第一接收信号 501 的符号边界被延时约三个码片。第一和第二解调器将接收第一信号 501（信号 A），并将通过各自的 I 和 Q 信道匹配滤波器 140 与差分检测器 150 处理该信号（步骤 605）。它们的泄漏积分器 160 然后接收差分检测器 150 的输出（步骤 610）。

在每个解调器中的泄漏积分器延时单元 119 的输出，为清晰起见 30 被显示为与泄漏积分器延时单元 119 输出的数字值相对应的模拟电压，将类似于波形 503。输出信号被提供给每个解调器中的各个峰值和门限检测器 170，该检测器判决其峰值幅度是否已达到或超过预定的门限电



平（步骤 615）。当信号 503 的峰值幅度超过在每个峰值和门限检测器 170 的输入端设定的门限电平时，“检测到前置头”脉冲将出现在峰值和门限检测器 170 的输出信号中（步骤 620）。

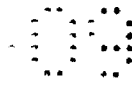
假定两个解调器具有相同的门限设置，以及进到两个信道的 IF 信号电平是相等的，则两个解调器都将响应于第一接收信号 501（信号 A）而检测信号 503 与第一门限的交叉，并从与每个解调器相关的第一门 122 产生第一和第二“请求”信号 505 和 507（步骤 625）。这些“请求”信号被通过环路返回，并被用作第一解调器 210 的“承认入”信号（步骤 630）。在输出信号 504 中的“检测到前置头”脉冲在每个解调器的第二门的输入端上宣布，并被用来阻止两个信道同时通过相应的“承认”信号 506。

假定第一解调器（图 2 上的 210）比起第二解调器（图 2 上的 215）更接近于机架中的第一插槽，则第一解调器 210 将首先接收“承认入”信号，然后电路将判决当前的（即第一）解调器信道是否处在忙状态（步骤 635）。如果第一解调器 210 是空闲的，就像这一情况一样，则通过第二门 123 传递的“检测到前置头”信号就禁止在第一解调器 210 中的第三门 124，并阻止它把“承认入”信号作为“承认出”信号传递到第二解调器 215。在这时，第一解调器 210 将开始处理该信号（步骤 645）。

“承认”信号和“检测到前置头”信号将使第一解调器 210 中的锁存器 126 置位。被置位的锁存器的输出将禁止第一门发出“请求”信号，并将使忙信号发生器 127 在导致来自这个裁决器的请求的 PN 出现时对每个符号输出一次“忙”信号。这将继续进行直到锁存器 126 在接收到表示第一解调器 210 正在处理的突发脉冲结束的信息后被复位为止。

然而，如果第一解调器 210 已处在处理信号的忙状态，则在第一解调器 210 中的“处理突发脉冲”信号将保持高电平，所以第二门 123 的输出将是低电平，并且第三门 124 将把“承认入”信号作为“承认出”信号传递到第二解调器 215（步骤 640）。这将允许第二解调器 215 处理信号，以及允许它制止把“承认”信号传递到线上的下一个解调器。

在处理期间，忙的解调器，即处理信号和输出忙信号的那些解调



器，可继续检测前置头。然而，它们只处理与它们发出“请求”信号和接收“承认”信号的那个前置头有关的信号。

同时，当第一解调器 210 正在处理信号时，第二解调器 215 将继续接收进入的信号，包括第二接收信号 502（信号 B）。当对应于第二接收信号 502（信号 B）的泄漏积分器输出的峰值超过预定门限时，第二解调器 215 将响应于第二接收信号 502（信号 B）而输出“请求”信号 507，并且它本身将接收“承认”信号 508。

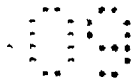
“承认”信号 508 将实际通过第一解调器 210。但是，如上所述，由于第一解调器 210 正忙于处理信号 A，在第一解调器 210 中的“处理突发脉冲”信号将保持为高电平，所以第二门 123 的输出将是高电平，因而在第一解调器中的第三门 124 的输出将仅仅把“承认”信号传递到线上的下一个解调器，在本例中是第二解调器。

在这期间，第一解调器 210 将不输出响应于第二接收信号 502（信号 B）的“请求”信号，因为它正忙于处理第一接收信号 501（信号 A）。如上所述，从第一解调器 210 中的锁存器 126 来的“处理突发脉冲”信号禁止第一解调器 210 中的第一门 122 输出“请求”信号。

一旦第二解调器接收“承认”信号，它也将通过它自己的忙信号发生器 127 宣布“忙”信号。因而，两个解调器在接收到“承认”信号一个符号之后都开始宣布“忙”信号。这将阻止任何其它检测到信号 A 或信号 B 的解调器信道产生“请求”信号作为应答。一旦第一和第二解调器 210 和 215 分别完成处理第一和第二接收信号 501 和 502（信号 A 和 B），则它们的锁存器 126 将被复位，并且它们将再次接收 IF 信号以及将返回到待命解调器状态。

由于可以有几种不同的扩频序列被分配给一个解调器机架去进行处理，所以在在一个机架中需要几种裁决电路。在一个机架内也可以有几个不同的被处理的扩频因子。所以机架必须提供几条“请求”信号线，相同数目的“忙”信号线、以及相同数目的“承认”信号线。

在本优选实施例中，解调器机架是 VME（IEEE1014）机架。解调器电路板优选地是带有两个接插件的 6U VME 板，每个接插件优选地具有 96 个管脚。每块解调器电路板优选地具有两个解调器电路。如由 IEEE1014 标准所规定的，第一接插件的全部和第二接插件的中心行（行 B）几乎都是专用的 VME 总线信号线和电源。第二接插件的靠外的两行



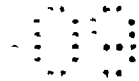
(行 A 和 C) 是用户可定义的。中央消息处理器可以占用在机架中的第一插槽 (插槽 1)。如果需要更多的处理能力, 则可以加上附加消息处理器, 最好在它们之间没有解调器电路板。

为了使所需要的裁决信号线的数目最小化, 来自被指定用于检测和
5 和解调进入信号的所有解调器信道的“请求”信号可以和特定的扩频序列一起接成“或”运算而放在一条信号线上, 并用每个解调器电路板上的集电极开路驱动器 (或三态驱动器, 其输出只在“请求”期间被驱动) 驱动它们。相应的忙信号以同样方式确定其路由。来自裁决
10 电路的以菊花链方式连接的特定扩频序列的“承认”信号是通过把“承认出”信号连接到下一块板上的“承认入”信号而被传递。每个相继的电路板如果它没有宣布有请求, 就将“承认”信号传送下去, 或如果它宣布一个请求, 则阻断该“承认”信号而不进一步沿机架向下传送。在每个解调器电路板 P2 接插件上需要 32 个信号管脚以使用这样的方案实施裁决电路功能: 8 条“请求”线、8 条“忙”线、以及 8 组
15 “承认出”线和“承认入”线。

把来自裁决电路的信号从解调器信道路由到把“请求”信号作为“承认”信号来反射的那个位置的一种方法是在解调器机架中使用定做的 P2 背板。图 7 显示了可能的配置方案。“请求”信号线 701 和“忙”
20 线 702 按总线方式连接到所有的接头, 而来自槽 n 的“承认出”信号被连接到槽 n+1 的“承认入”信号 703。这个图应当被看作为对信号接续方案的说明, 而不是电气设计建议。

另一个方法是使用这样的 P2 背板类型, 它具有在接插件的中心行 (行 B) 上按总线连接的信号并具有在行 A 和 C 上未指定用途的管脚。这个背板具有能把一个接插件插到 P2 背面每个插槽去的设施。在替换
25 实施例中, 可设计一个裁决电路接头板以便插到解调器电路板插槽中的 P2 接头的背面。也有可能使用橡皮电缆在裁决电路接头板和把“请求”信号作为“承认”信号反射的那个位置之间以菊花链方式连接该信号。这种方法保留了机架的灵活性。无论使用哪个设计, 应当记住把互联接“请求”信号、“忙”信号、和“承认”信号是短脉冲的性质来设计。
30

另一个必须解决的实施问题是如何在机架上在最接近于插槽 1 的解调器板插槽上把“请求”信号作为“承认”信号“反射”, 或返回。



有四种可能的方法：（1）把每个级别的“请求”信号接续到 P2 背面板上的相关的“承认”信号；（2）把每个级别的“请求”信号接续到特定的裁决电路接头板上的相关的“承认”信号；（3）用跳线块把每个级别的“请求”信号接续到机架上在最接近于插槽 1 的解调器板槽上的相关的“承认”信号；（4）通过使用能由软件配置起动的逻辑电路把每个级别的“请求”信号接续到机架上在最接近于插槽 1 的解调器板槽上的相关的“承认”信号。第三种方法由于花费和复杂性的原因而是优选使用的。

10 以上述的有关解调器电路板的设计的说明中，有这样一些含意。一个含意是，由于在一个板上的两个解调器信道可接收相同的或不同的扩频序列，所以它们必须是可编程的，以便使用相同的或不同的裁决电路的“请求”、“忙”、和“承认”信号线。另一个含意是，因为各个解调器电路板而加入到“承认”信号中（在“承认入”和“承认出”之间）的传播延时必须是非常短的。第三个含意是，在单个解调器机架中的所有解调器电路板中的前置头检测器需要被同步以得到最佳运行。

20 当出现以下条件的任何一个条件时解调器信道必须取消宣布“忙”信号：（1）检测到前置头的第一部分，但在一定数目的符号内未检测到独特字；（2）通过独特字检测到前置头，但其中的突发脉冲或其中的循环冗余检验（CRC）块未能通过 CRC 检验；或（3）突发是过长的，正如由测量到的突发长度表示超过了在消息开始时由突发长度指示符所表示的突发长度所指示的那样。

说明书附图

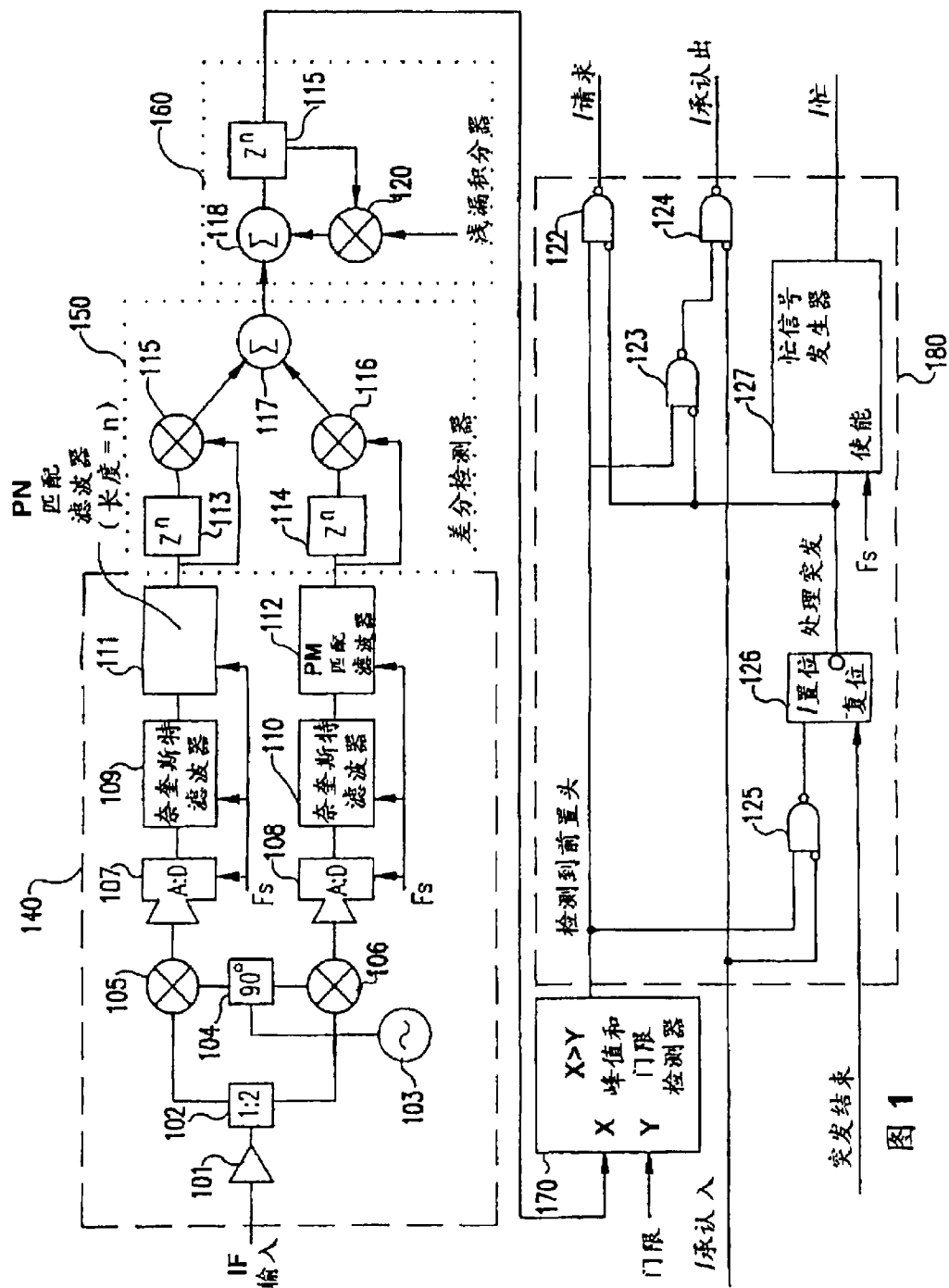


图 1

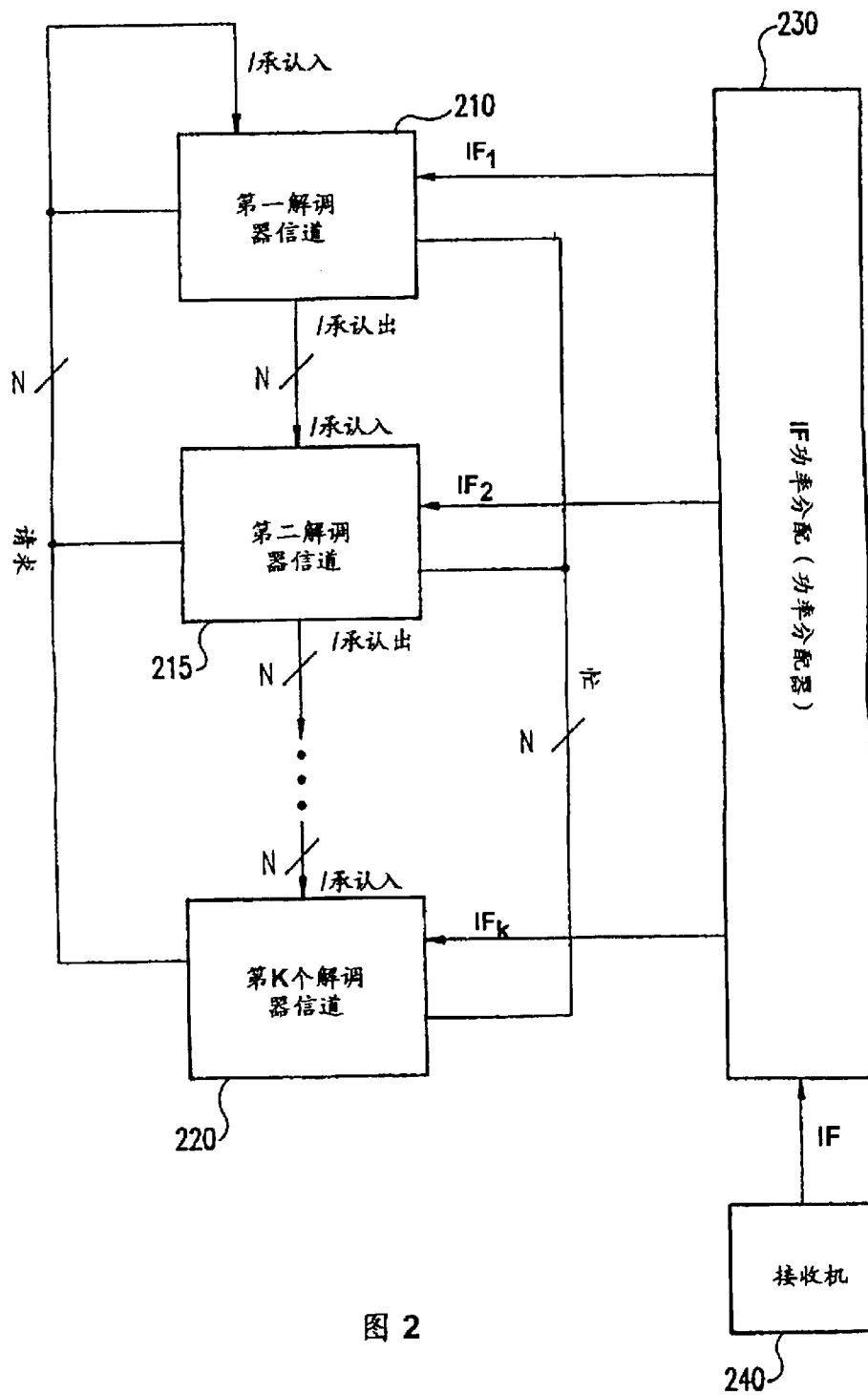
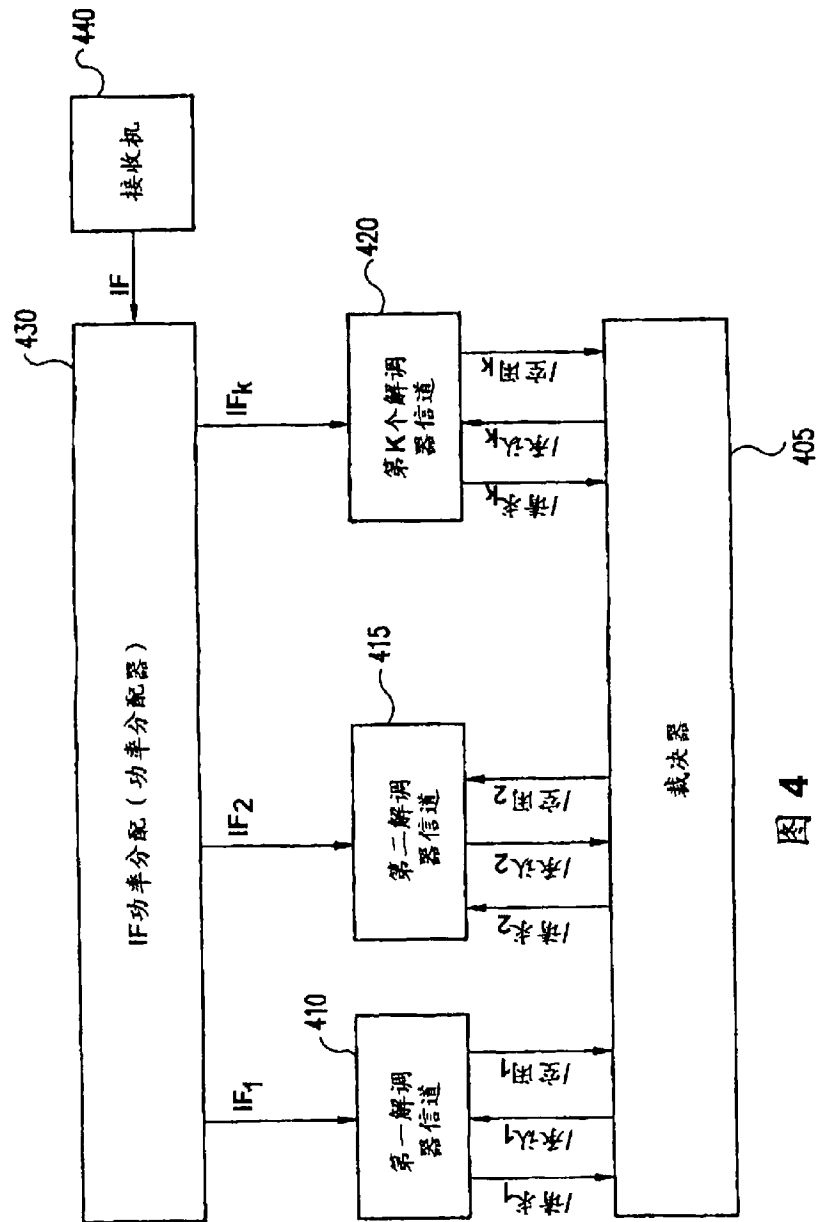


图 2



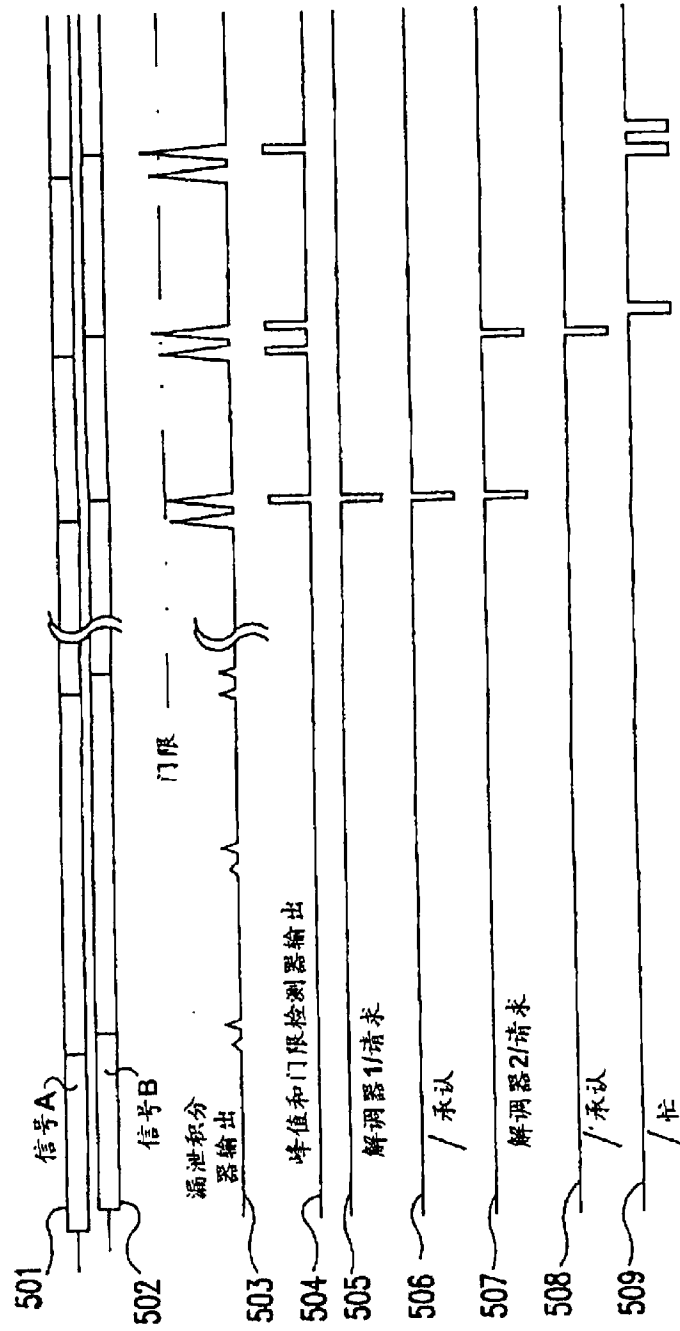


图 5

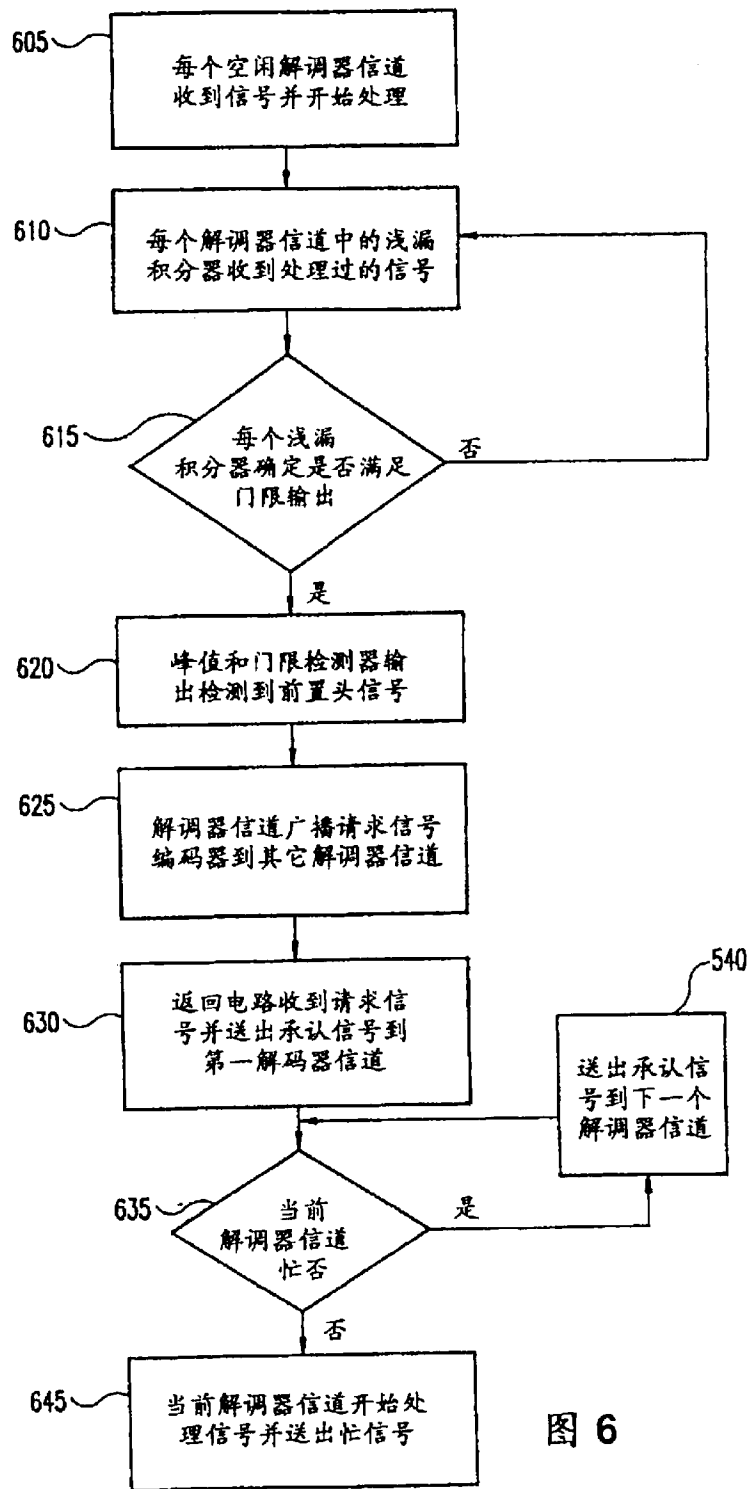
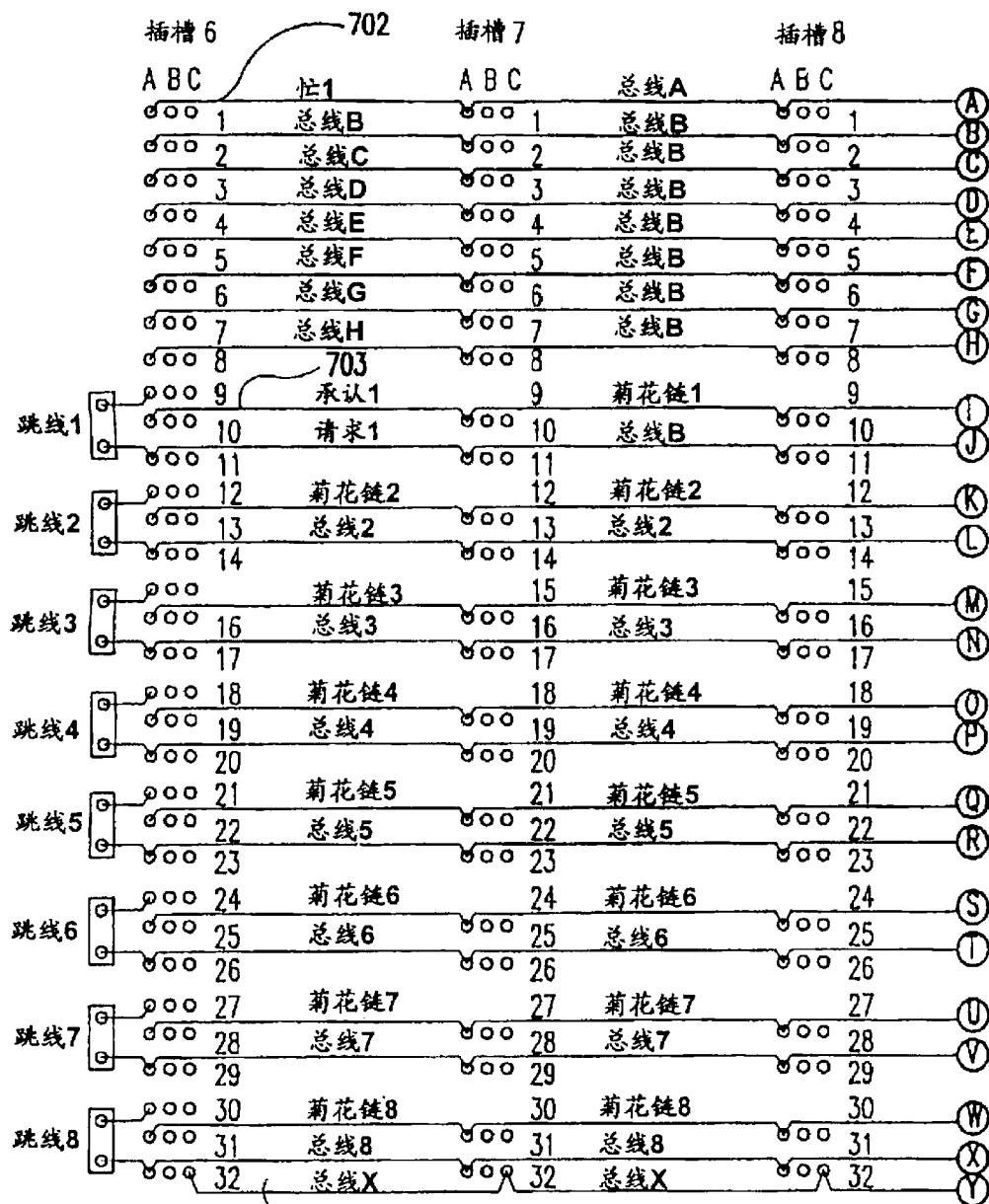


图 6



701

图 7



图 7A

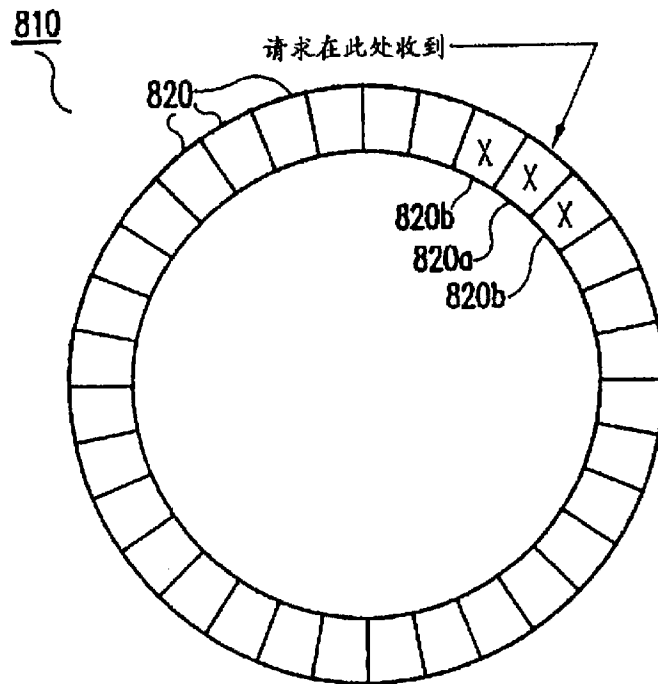


图 8

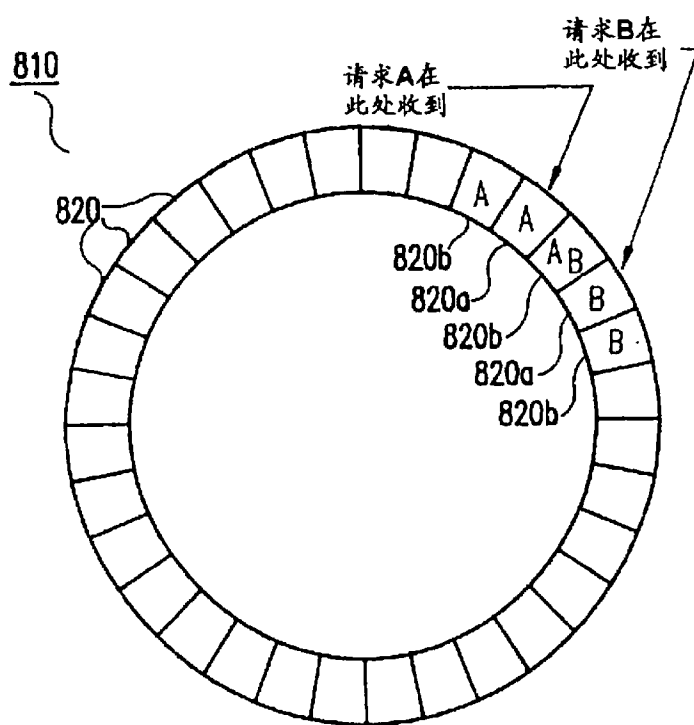



图 9

Correlator method and apparatus

Publication number: CN1224548
Publication date: 1999-07-28
Inventor: FLEMING R F (US); III (US); CHISHOLM W A CHECK J K (US)
Applicant: GE CAPITAL SPACENET SERVICES I (US)
Classification:
- **International:** **H04B1/707; H04Q7/38; H04B1/707; H04Q7/38;** (IPC1-7): H04B1/707
- **European:** H04B1/707
Application number: CN19988000446 19980407
Priority number(s): US19970042837P 19970409; US19980053024 19980401; WO1998US07267 19980407

Also published as:

 WO9845961 (A3)
 WO9845961 (A3)
 WO9845961 (A2)
 WO9845961 (A2)
 EP0917768 (A3)

[more >>](#)

[Report a data error here](#)

Abstract not available for CN1224548

Abstract of corresponding document: **WO9845961**

A method and apparatus for receiving and processing burst-mode code-division multiple access (CDMA) direct-sequence spread-spectrum (DSSS) signals is provided. In this apparatus and method, a number of demodulators are provided in a set enumerated order. Each demodulator is either "ready", meaning that it is free to process signals, or busy meaning that it is currently processing a signal. The ready demodulators each receive an input IF signal and try to detect a preamble in the IF signal. Once they detect the preamble, each ready demodulator then sends a request signal to an arbitrator. In response to a received request signal, the arbitrator sends a grant signal to the first ready demodulator in the enumerated order. This grant signal passes through each busy demodulator that is higher in the enumerated order than the first ready demodulator. The first ready demodulator then begins processing the signal, and is moved from the set of ready demodulators to the set of busy demodulators. The remaining ready demodulators then continue processing incoming signals. When a busy demodulator completes processing a signal, it is returned to the set of ready demodulators.

.....
Data supplied from the **esp@cenet** database - Worldwide